

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11068150 A**

(43) Date of publication of application: 09.03.99

(51) Int. Cl

H01L 33/00
H01S 3/18

(21) Application number: 09216545

(71) Applicant: TOSHIBA CORP

(22) Date of filing: 11.08.97

(72) Inventor: KAMAKURA TAKANOBU

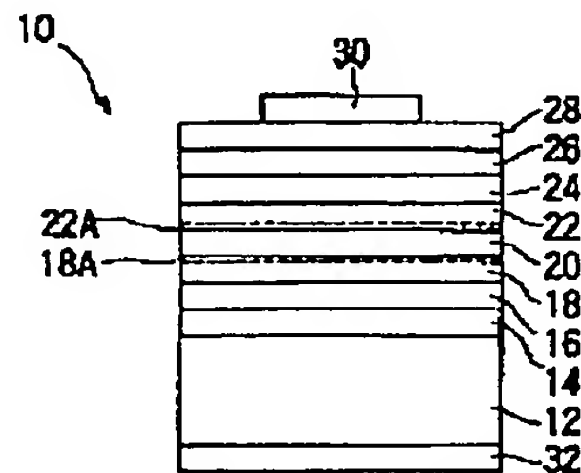
(54) SEMICONDUCTOR LIGHT-EMITTING ELEMENT
AND ITS MANUFACTURE

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent the deterioration of light-emitting characteristics and obtain high luminance and long life by forming a lattice distortion layer having crystal defects, in such a manner that the diffusion and infiltration of impurities from a clad layer into an active layer is prevented.

SOLUTION: Layers 18A and 22A which have lattice distortion on an active layer 20 sides are formed on clad layers 18 and 22, respectively. The distortion layers 18A and 22A can be constituted as either one of a layer, wherein a dopant is piled up and point defect and misfit transposition exist at a high density, or a layer wherein the lattice constant is different from other parts of the clad layers and crystal defect exists. By forming such distortion layers 18A, 22A, impurities with which the clad layers 18, 22 are doped are trapped and will not infiltrate the active layer 20. As a result, the deterioration of light-emitting characteristics is restrained, and a light-emitting element of high luminance and long life can be realized.



THIS PAGE BLANK (10000)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-68150

(43) 公開日 平成11年(1999) 3月9日

(51) Int. Cl.⁶

識別記号

P 1

H 0 1 L 33/00

H 0 1 L 33/00

A

H 0 1 S 3/18

H 0 1 S 3/18

審査請求 未請求 請求項の数11 O L (全 7 頁)

(21) 出願番号

特願平9-216545

(22) 出願日

平成9年(1997) 8月11日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 鎌 倉 肇 信

福岡県北九州市小倉北区下剱津1-10-1

株式会社東芝北九州工場内

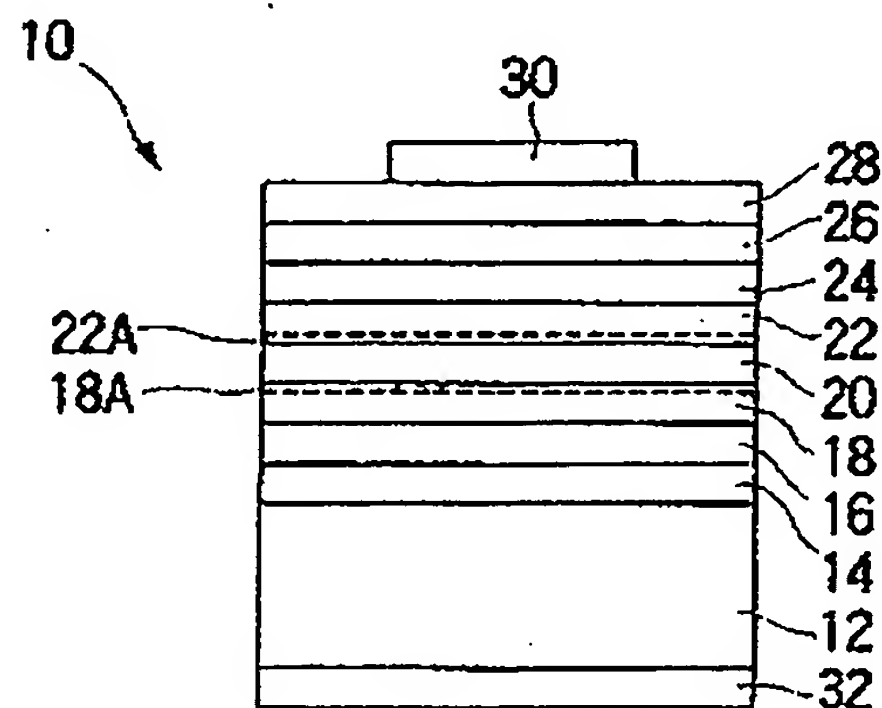
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 半導体発光素子およびその製造方法

(57) 【要約】

【課題】 ダブルヘテロ型の発光素子において、クラッド層から活性層への不純物の拡散侵入を効果的に抑制することにより、発光特性の劣化を防ぎ、高輝度且つ長寿命を有する半導体発光素子およびその製造方法を提供することを目的とする。

【解決手段】 活性層の上下に積層されるクラッド層において、活性層近傍に、成長中断や、格子定数の調節により形成する歪み格子層を導入することにより、クラッド層にドーパされた不純物がトラップされ、活性層への拡散侵入が阻止されて、高輝度且つ長寿命の半導体発光素子を得ることができる。



【特許請求の範囲】

【請求項1】 基板と、前記基板上に形成されたⅢⅠⅠ-V族化合物半導体からなる第1のクラッド層と、前記第1のクラッド層の上に形成されたⅢⅠⅠ-V族化合物半導体からなる活性層と、前記活性層の上に形成されたⅢⅠⅠ-V族化合物半導体からなる第2のクラッド層と、を備えた半導体発光素子であって、前記第1のクラッド層と前記第2のクラッド層のうちの少なくともいずれかにおいて、前記クラッド層から前記活性層に不純物が拡散侵入することを防ぐように、結晶欠陥を有する格子歪み層が設けられていることを特徴とする半導体発光素子。

【請求項2】 前記格子歪み層は、前記クラッド層の結晶成長工程において結晶の成長を中断することによりドーパントがバイルアップしている層として構成されていることを特徴とする請求項1記載の発光素子。

【請求項3】 前記格子歪み層は、前記クラッド層の結晶成長工程において前記ⅢⅠⅠ-V族化合物半導体の組成を変化させることにより、前記クラッド層の他の部分と比較して格子定数が5%以上で10%以下の範囲でずれている層として構成されていることを特徴とする請求項1記載の発光素子。

【請求項4】 前記格子歪み層は、前記クラッド層と前記活性層との界面から0.001μm以上であって0.1μm以内の位置に形成されていることを特徴とする請求項1～3のいずれか1つに記載の発光素子。

【請求項5】 前記第1のクラッド層と前記第2のクラッド層のうちの少なくともいずれかにおいて、1層以上で10層以下の前記格子歪み層が積層されていることを特徴とする請求項1～4のいずれか1つに記載の発光素子。

【請求項6】 前記ⅢⅠⅠ-V族化合物半導体は、InGaAsP系、InGaAlN系、InGaAsP系およびAlGaAs系からなる群のうちから選択された1つであることを特徴とする請求項1～5のいずれか1つに記載の発光素子。

【請求項7】 基板上にⅢⅠⅠ-V族化合物半導体からなる第1のクラッド層を成長する第1の工程と、前記第1のクラッド層の上にⅢⅠⅠ-V族化合物半導体からなる活性層を成長する第2の工程と、前記活性層の上にⅢⅠⅠ-V族化合物半導体からなる第2のクラッド層を成長する第3の工程と、を備えた半導体発光素子の製造方法であって、前記第1の工程と前記第3の工程のうちの少なくともいずれかは、前記クラッド層の成長の途中に、前記クラッド層内に結晶欠陥を有する格子歪み層を形成する格子歪み層形成工程を含むことを特徴とする半導体発光素子の製造方法。

【請求項8】 前記第1～第3の工程における前記成長は、有機金属化学気相成長法により行い、

前記格子歪み層形成工程は、前記クラッド層を構成するⅢⅠⅠ族元素の原料ガスを遮断してV族元素の原料ガスのみを供給することにより行うことを特徴とする請求項7記載の方法。

【請求項9】 前記第1～第3の工程における前記成長は、有機金属化学気相成長法により行い、前記格子歪み層形成工程は、前記クラッド層を構成するⅢⅠⅠ族元素の原料ガスとV族元素の原料ガスとの流量比を変化させることにより行うことを特徴とする請求項7記載の方法。

【請求項10】 前記格子歪み層形成工程は、1層以上10層以下の前記格子歪み層を互いに所定の間隔を設けて形成する工程を有することを特徴とする請求項7～9のいずれか1つに記載の方法。

【請求項11】 前記ⅢⅠⅠ-V族化合物半導体は、InGaAsP系、InGaAlN系、InGaAsP系およびAlGaAs系からなる群のうちから選択された1つであることを特徴とする請求項7～10のいずれか1つに記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体発光素子およびその製造方法に関する。より具体的には、本発明は、従来トレードオフの関係にあった発光輝度とその寿命とをいずれも改善し、長寿命かつ高輝度を実現できる半導体発光素子およびその製造方法に関するものである。

【0002】

【従来の技術】 半導体発光素子は、コンパクト且つ低消費電力であり、信頼性に優れるなどの多くの利点を有し、近年では、高い発光輝度が要求される室内外の表示板、鉄道/交通信号、車載用灯具などについても広く応用されている。

【0003】 これらの半導体発光素子の基本構成としては、活性層を上下からクラッド層で挟んだ、いわゆる「ダブルヘテロ構造」が一般的に採用されている。活性層及びクラッド層に使用される材料としては、古くから利用されているGaAs、GaP、AlGaAsに加えて、最近ではInGaAsP系、InGaAs系、InGaAlN系などの材料が開発され、実用化されている。活性層とクラッド層とにバンドギャップの異なる材料をそれぞれ用いたダブルヘテロ構造では、活性層に注入されたキャリアが活性層に閉じこめられるために、キャリアの再結合の確率が高まり、高い発光輝度が得られる。

【0004】 図5は、従来のダブルヘテロ型半導体発光素子の断面構造を表す概略図である。すなわち、発光素子100は、n型GaAs基板112上にn型GaAsバッファ層114、n型InGaAsP/GaAs光反射層116、n型InGaAsPクラッド層118、アンドープのInGaAsP活性層120、p型InGa

A1Pクラッド層122、p型AlGaAs電流拡散層124、p型InGaAlP耐湿層126、およびp型GaAsコンタクト層128を順次積層させた構造を有する。

【0005】ここで、n型InGaAlP/GaAs光反射層116は、n型InAlP層とn型GaAs層とが交互に積層された構成を有し、それぞれの層は、活性層120で発光した光の波長の $1/4n$ (n は屈折率)の厚さに設定されてブラッグ反射を生ずるようにされている。また、上述した構造でp型InGaAlPクラッド層122とp型AlGaAs電流拡散層124との間に、図示しないn型GaAs層を部分的に形成して、電流拡散を行う構造も実施されている。

【0006】また、p型コンタクト層128の上には金・亜鉛合金からなるp側電極130が形成され、n型GaAs基板112の裏面には金・ゲルマニウム合金からなるn側電極132が形成されている。

【0007】図5に示した発光素子100は、図示しないリードフレームなどの実装部材に、n側電極132が銀ペーストなどを介して接続される。また、p側電極130は、実装部材のリードピンなどにワイヤで接続され、最後にこの構造体全体がレジン等の樹脂によって封止されて発光装置として完成する。

【0008】

【発明が解決しようとする課題】しかし、高い発光強度が要求される室内外の表示板や、鉄道/交通信号、車載用灯具などに対して、図5に示したような従来のダブルヘテロ構造による発光素子を用いると、クラッド層118、122にドーピングした不純物が道管による熱や電界によって活性層120に拡散し、発光効率が低下し、発光特性の劣化が生ずるという問題があった。このような不純物の拡散は、高輝度型素子の場合、駆動電流が高いために、特に顕著に生ずる傾向があった。

【0009】この問題に対して、特願平7-89510号にあるようにクラッド層を多段にして劣化を抑制せんとする検討もされている。しかしながらこの方法によると、発光特性の劣化を十分に抑制することができず、製造ロットによって劣化率が不安定に変動するという問題があった。

【0010】本発明は、かかる点に鑑みてなされたものである。すなわち、本発明は、ダブルヘテロ型の発光素子において、クラッド層から活性層への不純物の拡散侵入を効果的に抑制することにより、発光特性の劣化を防ぎ、高輝度且つ長寿命を有する半導体発光素子およびその製造方法を提供することを目的とするものである。

【0011】

【課題を解決するための手段】すなわち、本発明の半導体発光素子は、基板と、前記基板上に形成されたIII-V族化合物半導体からなる第1のクラッド層と、前記第1のクラッド層の上に形成されたIII-V族化合物

半導体からなる活性層と、前記活性層の上に形成されたIII-V族化合物半導体からなる第2のクラッド層と、を備えた半導体発光素子であって、前記第1のクラッド層と前記第2のクラッド層のうちの少なくともいずれかにおいて、前記クラッド層から不純物が前記活性層に拡散侵入することを防ぐように、結晶欠陥を有する格子歪み層が設けられていることを特徴とするものとして構成され、クラッド層から活性層への不純物の拡散侵入が極めて効果的に抑制され、高輝度、長寿命を達成することができる。

【0012】また、この格子歪み層は、成長中断層として構成することができ、このような中断層は、ドーパントがバイルアップしているものとして構成されている。

【0013】あるいは、この格子歪み層は、半導体の組成を変化させて格子定数をずらした層として構成することもできる。

【0014】このような格子歪み層は、クラッド層と活性層の界面から0.001 μ m以上であって0.1 μ m以内の位置に形成することにより、効果的に不純物の拡散を防止することができる。

【0015】また、このような格子歪み層を1層以上10層以下積層することによって、さらに不純物の拡散を効果的に抑制することができる。

【0016】III-V族化合物半導体としては、InGaAlP系、InGaAlN系、InGaAsP系およびAlGaAs系のうちのいずれかを用いることにより、高輝度で長寿命の半導体発光素子を形成することができる。

【0017】

【発明の実施の形態】本発明によれば、活性層の上下に積層されるクラッド層において、活性層近傍に格子歪み層を導入することにより、クラッド層にドーパされた不純物がトラップされ、活性層への拡散侵入が阻止されて、高輝度且つ長寿命の半導体発光素子を得ることができる。

【0018】以下に図面を参照しつつ、本発明の実施の形態について説明する。図1は、本発明による半導体発光素子の断面構造を表す概略図である。図5に表したような従来の発光素子との相違点は、活性層とクラッド層との界面近傍に格子歪み層を形成した点にある。

【0019】すなわち、本発明による発光素子100は、n型GaAs基板12上にn型GaAsバッファ層14、n型InGaAlP/GaAs光反射層16、n型InGaAlPクラッド層18、アンドープInGaAlP活性層20、p型InGaAlPクラッド層22、p型AlGaAs電流拡散層24、p型InGaAlP耐湿層26、およびp型GaAsコンタクト層28を順次積層させた構造を有する。さらに、p側電極30とn側電極32とがそれぞれ形成されている。

【0020】ここで、n型InGaAlP/GaAs光

反射層16は、n型InAlP層とn型GaAs層とが交互に積層されたブラッグ反射層であり、その詳細は、前述した通りである。また、光反射層16においては、InGaAlP層の代わりにガリウムを含まないInAlP層を用いても良い。同様に、クラッド層18、22においても、ガリウムを含まないInAlP層を用いても良い。

【0021】また、p型InGaAlP耐湿層26は、その下層にあるp型AlGaAs電流拡散層24が湿気により酸化することを防ぐために設けられる。さらに、p型InGaAlPクラッド層22とp型AlGaAs電流拡散層24との間に、図示しないn型GaAs層を部分的に形成して、電流拡散を行うことができる点も同様である。

【0022】本発明においては、クラッド層18と22のそれぞれにおいて、活性層20側に格子歪みを有する層18Aおよび22Aが設けられている。これらの歪み層18A、22Aは、ドーパントがバイルアップして、点欠陥やミスフィット転位が高い密度で存在する層、あるいは、クラッド層の他の部分とは格子定数が異なり、結晶欠陥が存在する層のいずれかとして構成することができる。歪み層の厚さは、おおむね7〜8原子層、すなわち、約2〜3nmとすることが望ましい。歪み層がこれよりも薄いと、不純物のトラップが不十分であり、これよりも厚いと、格子歪みが過剰となり、クラッド層や隣接する活性層の結晶性に悪影響を及ぼすからである。また、その形成位置は、後に詳述するように、クラッド層と活性層との界面から、0.001μm以上で0.1μm以下とすることが望ましい。本発明によれば、このような歪み層18A、22Aを設けることにより、クラッド層18、22にドーピングされている不純物がトラップされて、活性層20に拡散侵入することがなくなる。その結果として、前述したような発光特性の劣化が抑制され、高輝度且つ長寿命の発光素子を実現することができるようになる。

【0023】次に、本発明による半導体発光素子の製造方法について図1を参照しつつ説明する。まず、GaAs基板12上に各層を成長する。結晶成長法としては、例えば、有機金属化学気相成長法(MOCVD)、ハイドライド化学気相成長法(HCVD)、化学ビーム・エビタキシャル法(CBE)、液相成長法(LPE)などを用いることができる。以下の説明では、MOCVD法を用いる場合を例に挙げて説明する。

【0024】MOCVD法においては、III族元素の原料として、例えば、トリメチルインジウム(TM₃I)、トリメチルアルミニウム(TMA)、トリメチルガリウム(TM₃G)を用いることができる。また、V族元素の原料としては、例えば、アルシン(AsH₃)、ホスフィン(PH₃)を用いることができ、ドーピングガスとしては、シラン(SiH₄)、ジメチル亜鉛(D

MZ)を用いることができる。

【0025】基板となるGaAsウェーハは、MOCVD装置の反応炉内に設置され、水素雰囲気のもとで、約800℃まで昇温される。前述した各種の原料ガスは、水素などのキャリアガスと共に、反応炉内に適宜導入され、GaAs基板上で熱分解を生じて所定の結晶が成長する。

【0026】本実施形態においては、例えば、n型GaAs基板12上にまず、n型GaAsバッファ層14を成長する。その膜厚は約0.5μmで、キャリア濃度は約 $4 \times 10^{17} \text{ cm}^{-3}$ とすることが出来る。さらに、n型InGaAlP/GaAs光反射層16(キャリア濃度約 $4 \times 10^{17} \text{ cm}^{-3}$)、n型InGaAlPクラッド層18(膜厚約0.6μm、キャリア濃度約 $4 \times 10^{17} \text{ cm}^{-3}$)、アンドープInGaAlP活性層20(膜厚約0.6μm、キャリア濃度 $1 \times 10^{17} \text{ cm}^{-3}$ 以下)、p型InGaAlPクラッド層22(膜厚約0.6μm、キャリア濃度約 $4 \times 10^{17} \text{ cm}^{-3}$)、p型AlGaAs電流拡散層24(膜厚約5μm、キャリア濃度約 $4 \times 10^{17} \text{ cm}^{-3}$)、p型InGaAlP耐湿層26(膜厚約0.1μm、キャリア濃度約 $2 \times 10^{17} \text{ cm}^{-3}$)、およびp型GaAsコンタクト層28(膜厚約0.1μm、キャリア濃度約 $2 \times 10^{17} \text{ cm}^{-3}$)を順次エビタキシャル成長する。

【0027】ここで、クラッド層18、22と電流拡散層24および耐湿膜26は、それぞれ、活性層20よりもバンド・ギャップが大きくなるか、あるいは光学遷移が間接遷移型となるようにその組成を調整する。

【0028】本発明においては、歪み層18A、22Aを形成するために以下に挙げるいずれかの方法を採用することができる。

【0029】まず第1の方法としては、クラッド層の成長に際して活性層20の成長の前後、すなわち、クラッド層18の成長の終期、およびクラッド層22の成長の初期において、成長を停止することにより歪み層18A、22Aを導入することができる。具体的には、III族ガスを停止し、V族ガスのみを流すことにより、数10秒の間結晶成長を停止する。このようにすると、成長表面の化学量論的組成比が変動して、表面層に結晶欠陥が導入される。このようにして形成される歪み層の厚さは、約7〜8原子層、すなわち約2〜3nmである。この歪み層においては、ドーパントが成長表面に蓄積された結果として、ドーパントの濃度が高いバイルアップ層が形成されている。このようなドーパントのバイルアップ層は、例えば、2次イオン質量分析法(SIMS)によって検出することができる。

【0030】成長停止の際に、ドーピングガスを供給し続けると、ドーパントが成長済みのクラッド層内に拡散され、クラッド層のキャリア濃度が不必要に上昇してしまう。従って、III族ガスと共にドーパントの原料ガ

スも停止することが望ましい。このようにして形成した歪み層18A、22Aは、クラッド層からの不純物をトラップし、活性層の発光特性の劣化を防ぐ役割を果たす。

【0031】歪み層を形成する第2の方法としては、クラッド層18、22の材料であるIn_{0.1}(Ga_{0.9}Al_{0.1})_{0.1}Pの混晶系のIn組成を変化される方法が挙げられる。In組成の変化は、5~10%の範囲内とすることが望ましい。これ以下であると、歪み量が不十分であり、これ以上であると歪み量が大きすぎて、活性層の結晶性に悪影響を与えるからである。このようなIn組成の調節は、前述した各原料ガスの供給のバランスを変化させることにより実施できる。歪み層の成長中もドーパントガスを流して、ドーピングを実施しても良い。また、その歪み層の厚さは、前述の場合と同様に、約7~8原子層、すなわち約2~3nmとすることが望ましい。歪み層がこれよりも薄いと、不純物のトラップが不十分であり、これよりも厚いと、格子歪みが過剰となり、クラッド層や隣接する活性層の結晶性に悪影響を及ぼすからである。

【0032】また、後に詳述するように、これらの方法により導入する歪み層18A、22Aは、クラッド層と活性層との界面から、約0.001μm~0.1μm程度の位置に形成することが望ましい。さらに、このような歪み層は、単層でなく、多層構造としても良い。この場合に、歪み層の積層数としては、2層~10層程度とすることが望ましい。

【0033】以上説明したような結晶成長工程の後に、金・亜鉛合金などの電極金属を堆積し、写真食刻法によりパターンニングを施して、p側電極30を形成し、また、基板裏面に金・ゲルマニウム合金などの電極金属を堆積することによりn側電極32を形成する。電極金属の堆積方法としては、例えば、真空蒸着法を用いることができる。

【0034】次に、ダイシング法によって一辺が約300μmの正形状のチップに切り出して発光素子10が完成する。この発光素子は、例えば、ステムなどの図示しない実装部材に実装し、ワイヤボンディング、樹脂封止によって直径約5mmのLEDランプとすることができる。

【0035】本発明者は、本発明において、歪み層18A、22Aを形成する位置を定量的に変化させ、発光素子の寿命を評価する試作実験を行った。

【0036】図2は、歪み層の形成位置と発光素子の寿命との関係を表すグラフ図である。すなわち、同図の横軸はクラッド層・活性層の界面から歪み層までの距離を表す。ここで、横軸のマイナスの値は、歪み層が活性層領域に形成されている場合を表す。また、同図の縦軸は1000時間動作後の相対輝度を表す。ここで、「相対輝度」とは、初期の発光輝度に対する、1000時間連

続動作後の発光輝度の割合を表す。評価に用いたサンプルは、前述したような樹脂封止LEDランプであり、動作周囲温度は室温で、動作電流は30ミリアンペアとした。また、同図における各プロットは、それぞれ30個のサンプルの評価結果の平均値を表す。

【0037】図2から分かるように、歪み層の形成位置が、クラッド層・活性層の界面から約0.005μm以上0.1μm以下の範囲にある場合に、発光輝度の低下が極めて少なく、長寿命化が実現されている。つまり、歪み層の位置がこの範囲にある場合には、クラッド層から活性層への不純物の拡散が効果的に抑制されているといえる。ここで、歪み層の最適位置に関して、このような上限と下限とが存在するのは、歪み層が活性層に近すぎると活性層に悪影響を及ぼし、また、活性層から遠すぎると、その間に存在する不純物が活性層に拡散侵入して発光輝度を低下させるからであると考えられる。

【0038】次に、本発明は、歪み層の積層数と素子寿命との関係について調べた。図3は、歪み層の積層数と相対輝度との関係を表すグラフ図である。すなわち、同図の横軸は歪み層の積層数を表す。また、同図の縦軸は1000時間動作後の相対輝度を表す。評価に用いたサンプルは、図2の場合と同様に、樹脂封止LEDランプであり、動作周囲温度は室温で、動作電流は30ミリアンペアとした。また、同図における各プロットは、それぞれ30個のサンプルの評価結果の平均値を表す。ここで、いずれのサンプルも、歪み層の形成位置は活性層から0.01μmとし、形成間隔は0.05μm、各歪み層の層厚は、約7~8原子層とした。

【0039】図3から分かるように、歪み層の積層数が1~10層の場合には、発光輝度の低下が極めて少なく、長寿命化が実現されている。つまり、歪み層の位置がこの範囲にある場合には、クラッド層から活性層への不純物の拡散が効果的に抑制されているといえる。ここで、歪み層の積層数が12層以上になると寿命が低下するのは、歪み層の増加に伴って、活性層の結晶性に悪影響が及ぶためであると考えられる。

【0040】図4は、本発明による発光素子と、従来の発光素子との寿命を比較したグラフ図である。すなわち、同図の縦軸は1000時間動作後の相対輝度を表す。評価に用いたサンプルは、本発明による発光素子A、BおよびCと比較のための従来の発光素子である。ここで、本発明による発光素子Aは、前述した成長停止法によって歪み層を導入したサンプルである。また、発光素子Bは、インジウムの組成を5%減少させることにより歪み層を導入したサンプル、発光素子Cは、成長停止法による歪み層を形成間隔0.05μmで5層積層したサンプルである。いずれのサンプルも、樹脂封止LEDランプであり、動作周囲温度は室温で、動作電流は30ミリアンペアとした。また、同図における各プロットは、それぞれ30個のサンプルの評価結果の平均値を表

す。

【0041】図4から分かるように、従来の発光素子は、平均して70%程度の相対輝度であったのに対して、本発明による発光素子の相対輝度は、いずれも95～100%と極めて高く、長寿命化が実現されている。つまり、本発明によれば、クラッド層から活性層への不純物の拡散が効果的に抑制されていることが分かった。

【0042】以上、本発明の実施の形態について、材料系としてInGaAsP系のダブルヘテロ型構造を用いた具体例を参照しつつ説明したが、本発明はこれに限定されるものではない。この他にも、例えば、AlGaAs系、InGaAsP系、InGaAlN系などのダブルヘテロ型構造を有する発光素子についても、本発明を適用して同等の効果を達成することができる。

【0043】また、その導電型についても図示した構成に限定されず、p型とn型とが反転した構造であっても良い。

【0044】さらに、ダブルヘテロ型構造に限定されず、例えば、ヘテロ接合をひとつだけ有する、いわゆるシングルヘテロ型構造を有する発光素子についても本発明を適用することができる。その他、本発明の要旨を逸脱しない範囲で種々に変形して実施することが可能である。

【0045】

【発明の効果】本発明によれば、簡易なプロセスにより、クラッド層の不純物が活性層に拡散侵入して、その発光特性を劣化させる減少を極めて効果的に防ぐことができる。その結果として、従来に比べ、大電流で連続動作させても発光特性の低下が極めて少なく、高輝度で長寿命の発光素子を提供することができるようになる。

(5)

特開平11-68150

10

*【0046】従って、室内外に設置する各種表示装置や、道路交通信号、鉄道安全信号、車両用表示灯などの各種の用途において、高輝度で、交換頻度が低減する発光素子を提供することができるようになり、産業上のメリットは多大である。

【図面の簡単な説明】

【図1】本発明による半導体発光素子の断面構造を表す概略図である。

【図2】歪み層の形成位置と発光素子の寿命との関係を表すグラフ図である。

【図3】歪み層の積層数と相対輝度との関係を表すグラフ図である。

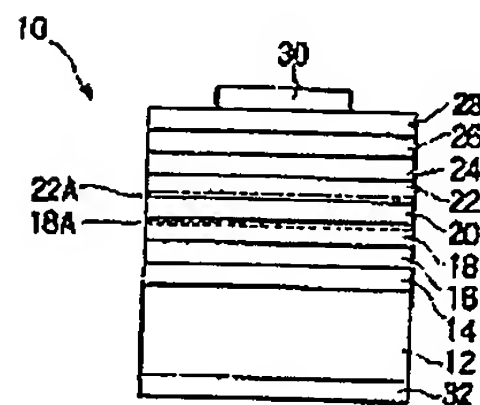
【図4】本発明による発光素子と、従来の発光素子との寿命を比較したグラフ図である。

【図5】従来のダブルヘテロ型半導体発光素子の断面構造を表す概略図である。

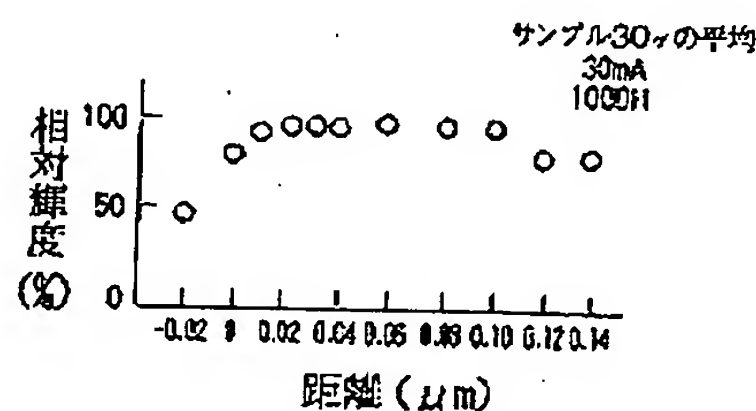
【符号の説明】

- 10、100 半導体発光素子
- 12、112 基板
- 14、114 バッファ層
- 16、116 光反射層
- 18、118 クラッド層
- 18A、22A 格子歪み層
- 20、120 活性層
- 22、122 クラッド層
- 24、124 電流拡散層
- 26、126 耐湿層
- 28、128 コンタクト層
- 30、130 電極
- 32、132 電極

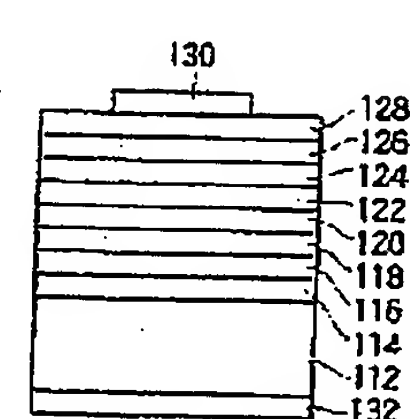
【図1】



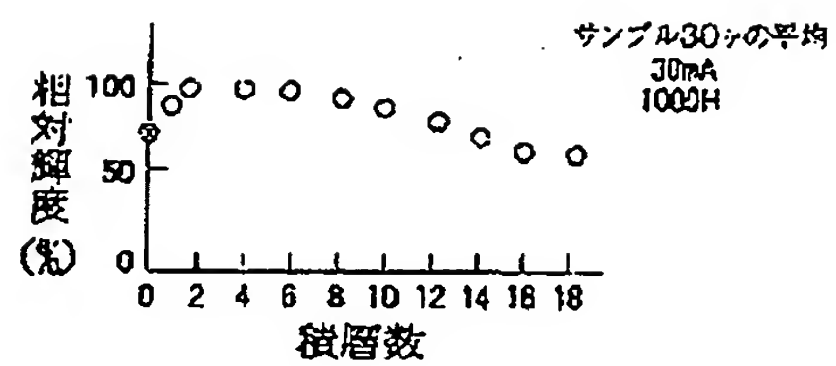
【図2】



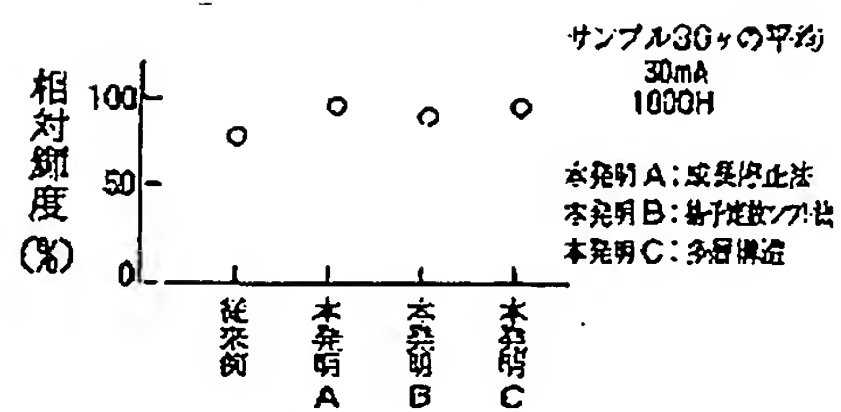
【図5】



【図3】



【図4】



THIS PAGE BLANK (USPTO)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a semi-conductor light emitting device and its manufacture approach. This invention improves each of luminescence brightness which suited the relation of a trade-off conventionally, and its life, and, more specifically, are long lasting and a thing about the semi-conductor light emitting device which can realize high brightness, and its manufacture approach.

[0002]

[Description of the Prior Art] Semi-conductor light emitting devices are a compact and a low power, have many advantages, such as excelling in dependability, and are widely applied in recent years also about the plotting board outside the interior of a room where high luminescence brightness is demanded, the railroad/traffic light, and the lighting fixture for mount.

[0003] Generally as a basic configuration of these semi-conductor light emitting devices, the so-called "double hetero structure" which sandwiched the barrier layer by the cladding layer from the upper and lower sides is adopted. As an ingredient used for a barrier layer and a cladding layer, in addition to GaAs, GaP, and AlGaAs which are used for many years, ingredients, such as a InGaAlP system, a InGaAs system, and a InGaAlN system, are developed, and it is put in practical use recently. With the double hetero structure using the ingredient with which band gaps differ in a barrier layer and a cladding layer, since the carrier poured into the barrier layer is confined in a barrier layer, the probability of the recombination of a carrier increases and high luminescence brightness is obtained, respectively.

[0004] Drawing 5 is a schematic diagram showing the cross-section structure of the conventional double hetero mold semi-conductor light emitting device. That is, a light emitting device 100 has the structure where the laminating of the n mold GaAs buffer layer 114, the n mold InGaAlP/GaAs light reflex layer 116, the n mold InGaAlP cladding layer 118, the InGaAlP barrier layer 120 of undoping, the p mold InGaAlP cladding layer 122, the p mold AlGaAs current diffusion layer 124, the p mold InGaAlP moisture-proof layer 126, and the p mold GaAs contact layer 128 was carried out one by one on the n mold GaAs substrate 112.

[0005] The n mold InGaAlP/GaAs light reflex layer 116 has the configuration to which the laminating of an n mold InAlP layer and the n mold GaAs layer was carried out by turns, and each layer is set as the $1/n [4]$ (n is a refractive index) thickness of the wavelength of the light which emitted light by the barrier layer 120, and he is trying to produce Bragg reflection here. Moreover, the n mold GaAs layer which is not illustrated is partially formed with the structure mentioned above between the p mold InGaAlP cladding layer 122 and the p mold AlGaAs current diffusion layer 124, and structure of performing a current constriction is also carried out.

[0006] Moreover, on p mold contact layer 128, the p lateral electrode 130 which consists of gold and a zinc alloy is formed, and the n lateral electrode 132 which consists of gold and a germanium alloy is formed in the rear face of the n mold GaAs substrate 112.

[0007] The n lateral electrode 132 is connected to mounting members, such as a leadframe which does not illustrate the light emitting device 100 shown in drawing 5, through a silver paste etc. Moreover, it connects with the lead pin of a mounting member etc. by wire, the closure of this whole structure is carried out to the last with resin, such as resin, and the p lateral electrode 130 is

completed as luminescence equipment.

[0008]

[Problem(s) to be Solved by the Invention] However, when the light emitting device by the conventional double hetero structure as shown in drawing 5 was used to the display board outside the interior of a room where high luminescence brightness is demanded, a railroad/traffic light, the lighting fixture for mount, etc., the impurity doped to cladding layers 118 and 122 was spread in the barrier layer 120 by the heat and electric field by energization, luminous efficiency fell, and there was a problem that degradation of a luminescence property arose. Since the drive current is high in the case of a high brightness mold component, diffusion of such an impurity tended to arise notably especially.

[0009] To this problem, as it is in Japanese Patent Application No. No. 89510 [seven to], examination which uses a cladding layer as multistage and uses degradation as a control plug is also carried out. However, according to this approach, degradation of a luminescence property could not fully be controlled but there was a problem of changing the rate of degradation unstably with a manufacture lot.

[0010] This invention is made in view of this point. Namely, in the light emitting device of a double hetero mold, by controlling effectively diffusion invasion of the impurity from a cladding layer to a barrier layer, this invention prevents degradation of a luminescence property and aims at offering the semi-conductor light emitting device which has high brightness and a longevity life, and its manufacture approach.

[0011]

[Means for Solving the Problem] Namely, the 1st cladding layer which the semi-conductor light emitting device of this invention becomes from the group III-V semiconductor formed on the substrate and said substrate, The barrier layer which consists of a group III-V semiconductor formed on said 1st cladding layer, Are the semi-conductor light emitting device equipped with the 2nd cladding layer which consists of a group III-V semiconductor formed on said barrier layer, and inside [it is said the 1st cladding layer and said 2nd cladding layer] sets to either at least. So that an impurity may protect carrying out diffusion invasion from said cladding layer to said barrier layer It is constituted as what is characterized by preparing the grid distortion layer which has a crystal defect, diffusion invasion of the impurity from a cladding layer to a barrier layer is controlled very effectively, and high brightness and a longevity life can be attained.

[0012] Moreover, this grid distortion layer can be constituted as a growth interruption layer, and such an interruption layer is constituted as that in which the dopant is carrying out the pile up.

[0013] Or this grid distortion layer can also be constituted as a layer which the presentation of a semi-conductor was changed and shifted the lattice constant.

[0014] Such a grid distortion layer is 0.001 micrometers or more from the interface of a cladding layer and a barrier layer, and can prevent diffusion of an impurity effectively by forming in the location of less than 0.1 micrometers.

[0015] Moreover, diffusion of an impurity can be further controlled effectively by carrying out the one or more layer ten or less layer laminating of such a grid distortion layer.

[0016] As a group III-V semiconductor, a long lasting semi-conductor light emitting device can be formed by high brightness by using an InGaAlP system, an InGaAlN system, an InGaAsP system, or the AlGaAs systems.

[0017]

[Embodiment of the Invention] In the cladding layer to which the laminating of the barrier layer is carried out up and down, by introducing a grid distortion layer near the barrier layer, the trap of the impurity doped by the cladding layer is carried out, the diffusion invasion to a barrier layer is prevented, and, according to this invention, a high brightness and long lasting semi-conductor light emitting device can be obtained.

[0018] The gestalt of operation of this invention is explained referring to a drawing below. Drawing 1 is a schematic diagram showing the cross-section structure of the semi-conductor light emitting device by this invention. The difference with the conventional light emitting device with which it expressed to drawing 5 is in the point in which the grid distortion layer was formed near the interface of a barrier layer and a cladding layer.

[0019] That is, the light emitting device 10 by this invention has the structure where the laminating of the n mold GaAs buffer layer 14, the n mold InGaAlP/GaAs light reflex layer 16, the n mold InGaAlP cladding layer 18, the undoping InGaAlP barrier layer 20, the p mold InGaAlP cladding layer 22, the p mold AlGaAs current diffusion layer 24, the p mold InGaAlP moisture-proof layer 26, and the p mold GaAs contact layer 28 was carried out one by one on the n mold GaAs substrate 12. Furthermore, the p lateral electrode 30 and the n lateral electrode 32 are formed, respectively.

[0020] Here, the n mold InGaAlP/GaAs light reflex layer 16 is a Bragg reflection layer to which the laminating of an n mold InAlP layer and the n mold GaAs layer was carried out by turns, and the detail is as having mentioned above. Moreover, in the light reflex layer 16, the InAlP layer which does not contain a gallium instead of an InGaAlP layer may be used. Similarly, the InAlP layer which does not contain a gallium may be used also in cladding layers 18 and 22.

[0021] Moreover, the p mold InGaAlP moisture-proof layer 26 is formed in order to prevent the p mold AlGaAs current diffusion layer 24 in the lower layer oxidizing with moisture. Furthermore, the same is said of the point that the n mold GaAs layer which is not illustrated can be partially formed between the p mold InGaAlP cladding layer 22 and the p mold AlGaAs current diffusion layer 24, and a current constriction can be performed.

[0022] In this invention, the layers 18A and 22A which have grid distortion in a barrier layer 20 side are formed in each of cladding layers 18 and 22. A dopant can carry out the pile up of these distortion layers 18A and 22A, and, unlike other parts of the layer in which a point defect and a misfit rearrangement exist by the high consistency, or a cladding layer, a lattice constant can constitute them as either of the layers in which a crystal defect exists. As for the thickness of a distortion layer, it is desirable to carry out in general to seven to 8 atomic layer, i.e., about 2-3nm. It is because grid distortion will become superfluous and will have a bad influence on the crystallinity of a cladding layer or an adjoining barrier layer, if thicker [if a distortion layer is thinner than this, the trap of an impurity is inadequate, and] than this. Moreover, as for the formation location, it is desirable to be referred to as 0.1 micrometers or less by 0.001 micrometers or more from the interface of a cladding layer and a barrier layer so that it may explain in full detail behind. According to this invention, the trap of the impurity doped by cladding layers 18 and 22 being carried out, and carrying out diffusion invasion at a barrier layer 20 is lost by forming such distortion layers 18A and 22A. Degradation of a luminescence property which was mentioned above can be controlled as the result, and a high brightness and long lasting light emitting device can be realized now.

[0023] Next, it explains, referring to drawing 1 about the manufacture approach of the semiconductor light emitting device by this invention. First, each class is grown up on the GaAs substrate 12. For example, things can be carried out, using an organic metal chemical-vapor-deposition method (MOCVD), a hydride chemical-vapor-deposition method (HCVD), the chemistry beam epitaxial method (CBE), a liquid phase grown method (LPE), etc. as a crystal growth method. The case where the MOCVD method is used is mentioned as an example, and a following discussion explains it.

[0024] In the MOCVD method, trimethylindium (TMI), trimethylaluminum (TMA), and trimethylgallium (TMG) can be used as a raw material of an III group element. Moreover, as a raw material of V group element, an arsine (AsH₃) and a phosphine (PH₃) can be used, and a silane (SiH₄) and dimethyl zinc (DMZ) can be used as doping gas, for example.

[0025] The GaAs wafer used as a substrate is installed in the fission reactor of an MOCVD system, it is the basis of a hydrogen ambient atmosphere and a temperature up is carried out to about 800 degrees C. Various kinds of material gas mentioned above is suitably introduced in a fission reactor with carrier gas, such as hydrogen, produces a pyrolysis on a GaAs substrate, and a predetermined crystal grows.

[0026] In this operation gestalt, the n mold GaAs buffer layer 14 is first grown up on the n mold GaAs substrate 12, for example. The thickness is about 0.5 micrometers and carrier concentration can be set to abbreviation $4 \times 10^{17} \text{cm}^{-3}$. Furthermore, the n mold InGaAlP/GaAs light reflex layer 16 (carrier concentration [of about $4 \times 10^{17} \text{cm}^{-3}$], The n mold InGaAlP cladding layer 18 (micrometers [of thickness / about 0.6], carrier concentration [of about $4 \times 10^{17} \text{cm}^{-3}$], The undoping InGaAlP barrier layer 20 (micrometers [of thickness / about 0.6], and $1 \times 10^{17} \text{cm}^{-3}$ carrier concentration to less than [3]), The p mold InGaAlP cladding layer 22 (micrometers [of thickness /

about 0.6], carrier concentration [of about $4 \times 10^{17} \text{cm}^{-3}$], The p mold AlGaAs current diffusion layer 24 (micrometers [of thickness / about 5], carrier concentration [of about $4 \times 10^{18} \text{cm}^{-3}$], Sequential epitaxial growth of the p mold InGaAlP moisture-proof layer 26 (micrometers [of thickness / about 0.1], carrier concentration [of about $2 \times 10^{18} \text{cm}^{-3}$] and the p mold GaAs contact layer 28 (micrometers [of thickness / about 0.1], carrier concentration [of about $2 \times 10^{18} \text{cm}^{-3}$] - 3) is carried out.

[0027] Here, cladding layers 18 and 22, the current diffusion layer 24, and the moisture-proof film 26 adjust the presentation so that a band gap may become large rather than a barrier layer 20 or optical transition may serve as a indirect transition mold, respectively.

[0028] In this invention, in order to form the distortion layers 18A and 22A, the next one of approaches is employable.

[0029] The distortion layers 18A and 22A can be introduced by stopping growth as the 1st approach in the growth order of a barrier layer 20, i.e., the telophase of growth of a cladding layer 18, and the early stages of growth of a cladding layer 22 on the occasion of growth of a cladding layer first. III group gas is stopped and, specifically, the crystal growth between several 10 seconds is stopped by passing only V group gas. If it does in this way, the stoichiometric composition ratio on the front face of growth will be changed, and a crystal defect will be introduced into a surface layer. Thus, the thickness of the distortion layer formed is about seven to 8 atomic layer, i.e., about 2-3nm. In this distortion layer, the pile-up layer with the concentration of a dopant high as a result by which the dopant was accumulated in the growth front face is formed. Such a pile-up layer of a dopant is detectable with for example, a secondary ion mass spectrometry (SIMS).

[0030] In the case of a growth arrest, if it continues supplying doping gas, a dopant will be spread in a cladding layer [finishing / growth], and the carrier concentration of a cladding layer will rise superfluously. Therefore, it is desirable to also stop the material gas of a dopant with III group gas. Thus, the formed distortion layers 18A and 22A carry out the trap of the impurity from a cladding layer, and play the role which prevents degradation of the luminescence property of a barrier layer.

[0031] The approach of changing In presentation of the mixed-crystal system of $\text{In}_{0.5}\text{Ga}_{1-x}\text{Al}_x$ P which is the ingredient of cladding layers 18 and 22 as the 2nd approach of forming a distortion layer is mentioned. As for change of In presentation, it is desirable to consider as 5 - 10% of within the limits. It is because the amount of distortion is inadequate in it being less than [this], the amount of distortion is too large in it being more than this and it has a bad influence on the crystallinity of a barrier layer. Accommodation of such an In presentation can be carried out by changing the balance of supply of each material gas mentioned above. You may dope by passing dopant gas also during growth of a distortion layer. Moreover, as for the thickness of the distortion layer, it is desirable like the above-mentioned case to carry out to about seven to 8 atomic layer, i.e., about 2-3nm. It is because grid distortion will become superfluous and will have a bad influence on the crystallinity of a cladding layer or an adjoining barrier layer, if thicker [if a distortion layer is thinner than this, the trap of an impurity is inadequate, and] than this.

[0032] Moreover, as for the distortion layers 18A and 22A introduced by these approaches, it is desirable to form in the location of about 0.001 micrometers - about 0.1 micrometers from the interface of a cladding layer and a barrier layer so that it may explain in full detail behind.

Furthermore, such a distortion layer is good also as not a monolayer but multilayer structure. In this case, as the number of laminatings of a distortion layer, it is desirable to consider as about two-layer - 10 layer.

[0033] The n lateral electrode 32 is formed by depositing electrode metals, such as gold and a zinc alloy, after a crystal growth process which was explained above, performing patterning by the photoetching method, and forming the p lateral electrode 30, and depositing electrode metals, such as gold and a germanium alloy, on a substrate rear face. As the deposition approach of an electrode metal, a vacuum deposition method can be used, for example.

[0034] Next, by the dicing method, it starts for the chip of the square configuration whose one side is about 300 micrometers, and a light emitting device 10 is completed. This light emitting device can be mounted in the mounting member which is not illustrated [stem], and can be used as an LED lamp with a diameter of about 5mm by wire bonding and the resin seal.

[0035] In this invention, this invention person changed quantitatively the location which forms the

distortion layers 18A and 22A, and conducted the prototype experiment which evaluates the life of a light emitting device.

[0036] Drawing 2 is a graphical representation showing the relation between the formation location of a distortion layer, and the life of a light emitting device. That is, the axis of abscissa of this drawing expresses the distance from the interface of a cladding layer and a barrier layer to a distortion layer. The value of minus here of an axis of abscissa expresses the case where the distortion layer is formed in the barrier layer field. Moreover, the axis of ordinate of this drawing expresses the relative luminance after 1000-hour actuation. Here, "relative luminance" expresses the rate of the luminescence brightness after 1000-hour continuous action to early luminescence brightness. The sample used for evaluation is the resin seal LED lamp which was mentioned above, operating ambient temperature is a room temperature, and the operating current was made into 30mA. Moreover, each plot in this drawing expresses the average of the evaluation result of 30 samples, respectively.

[0037] When the formation location of a distortion layer is located from the interface of a cladding layer and a barrier layer in the about 0.005-micrometer or more range of 0.1 micrometers or less so that drawing 2 may show, there are very few falls of luminescence brightness and reinforcement is realized. That is, when the location of a distortion layer is located in this range, it can be said that diffusion of the impurity from a cladding layer to a barrier layer is controlled effectively. About the optimal location of a distortion layer, that such an upper limit and a minimum exist will have a bad influence on a barrier layer here; if a distortion layer is too close to a barrier layer, and if too far from a barrier layer, it will be thought that it is because the impurity which exists between them carries out diffusion invasion and reduces luminescence brightness to a barrier layer.

[0038] Next, this invention was investigated about the relation between the number of laminatings of a distortion layer, and a component life. Drawing 3 is a graphical representation showing the relation between the number of laminatings of a distortion layer, and relative luminance. That is, the axis of abscissa of this drawing expresses the number of laminatings of a distortion layer. Moreover, the axis of ordinate of this drawing expresses the relative luminance after 1000-hour actuation. The sample used for evaluation is a resin seal LED lamp like the case of drawing 2, operating ambient temperature is a room temperature, and the operating current was made into 30mA. Moreover, each plot in this drawing expresses the average of the evaluation result of 30 samples, respectively. Here, any sample set the formation location of a distortion layer to 0.01 micrometers from the barrier layer, and, as for formation spacing, made thickness of 0.05 micrometers and each distortion layer about seven to 8 atomic layer.

[0039] When the number of laminatings of a distortion layer is 1-10 layers so that drawing 3 may show, there are very few falls of luminescence brightness and reinforcement is realized. That is, when the location of a distortion layer is located in this range, it can be said that diffusion of the impurity from a cladding layer to a barrier layer is controlled effectively. Here, it is thought that a life will fall for a bad influence attaining to the crystallinity of a barrier layer with the increment in a distortion layer if the number of laminatings of a distortion layer becomes 12 or more layers.

[0040] Drawing 4 is the graphical representation which compared the life of the light emitting device by this invention, and the conventional light emitting device. That is, the axis of ordinate of this drawing expresses the relative luminance after 1000-hour actuation. The samples used for evaluation are the light emitting devices A, B, and C by this invention, and the conventional light emitting device for a comparison. Here, the light emitting device A by this invention is the sample which introduced the distortion layer by the growth arrest method mentioned above. Moreover, when a light emitting device B decreases the presentation of an indium 5%, the sample and light emitting device C which introduced the distortion layer are the sample which carried out the five-layer laminating of the distortion layer by the growth arrest method at intervals of [of 0.05 micrometers] formation. It is a resin seal LED lamp, operating ambient temperature is a room temperature, and the operating current made any sample 30mA. Moreover, each plot in this drawing expresses the average of the evaluation result of 30 samples, respectively.

[0041] The conventional light emitting device is averaged, to having been about 70% of relative luminance, each relative luminance of the light emitting device by this invention is very as high as 95 - 100%, and reinforcement is realized so that drawing 4 may show. That is, according to this

invention, it turned out that diffusion of the impurity from a cladding layer to a barrier layer is controlled effectively.

[0042] As mentioned above, although explained referring to the example which used the double hetero mold structure of an InGaAlP system as an ingredient system about the gestalt of operation of this invention, this invention is not limited to this. In addition, for example, equivalent effectiveness can be acquired with the application of this invention also about the light emitting device which has double hetero mold structures, such as an AlGaAs system, an InGaAsP system, and an InGaAlN system.

[0043] Moreover, you may be the structure which it was not limited to the configuration illustrated also about the conductivity type, but p mold and n mold reversed.

[0044] Furthermore, this invention is applicable also about the light emitting device which has the so-called single hetero mold structure of it not being limited to double hetero mold structure, for example, having only one heterojunction. In addition, it is possible to boil many things, and to deform and carry out in the range which does not deviate from the summary of this invention.

[0045]

[Effect of the Invention] According to this invention, according to a simple process, the impurity of a cladding layer can carry out diffusion invasion at a barrier layer, and reduction which degrades the luminescence property can be prevented very effectively. As the result, compared with the former, even if it carries out continuous action by the high current, there can be very few falls of a luminescence property and they can offer a long lasting light emitting device by high brightness.

[0046] Therefore, in various kinds of applications, such as various displays installed outside the interior of a room, and a road traffic signal, a railroad safety signal, an annunciator for cars, it is high brightness, and the light emitting device which exchange frequency reduces can be offered now, and the merit on industry is great.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A substrate and the 1st cladding layer which consists of a group III-V semiconductor formed on said substrate, The barrier layer which consists of a group III-V semiconductor formed on said 1st cladding layer, Are the semi-conductor light emitting device equipped with the 2nd cladding layer which consists of a group III-V semiconductor formed on said barrier layer, and inside [it is said the 1st cladding layer and said 2nd cladding layer] sets to either at least. The semi-conductor light emitting device characterized by preparing the grid distortion layer which has a crystal defect so that it may protect that an impurity carries out diffusion invasion from said cladding layer to said barrier layer.

[Claim 2] Said grid distortion layer is a light emitting device according to claim 1 characterized by being constituted as a layer in which the dopant is carrying out the pile up by interrupting crystal growth in the crystal growth process of said cladding layer.

[Claim 3] Said grid distortion layer is a light emitting device according to claim 1 characterized by being constituted as a layer from which the lattice constant has shifted in 10% or less of range at 5% or more as compared with other parts of said cladding layer by changing said group's III-V semiconductor presentation in the crystal growth process of said cladding layer.

[Claim 4] Said grid distortion layer is the light emitting device of any one publication of claim 1-3 which is 0.001 micrometers or more from the interface of said cladding layer and said barrier layer, and is characterized by being formed in the location of less than 0.1 micrometers.

[Claim 5] The light emitting device of any one publication of claim 1-4 characterized by the thing of said 1st cladding layer and said 2nd cladding layer done by one or more layers for the laminating of said ten or less-layer grid distortion layer in either at least.

[Claim 6] Said group III-V semiconductor is the light emitting device of any one publication of claim 1-5 characterized by being one chosen from among the groups which consist of an InGaAlP system, an InGaAlN system, an InGaAsP system, and an AlGaAs system.

[Claim 7] The 1st process which grows the 1st cladding layer which consists of a group III-V semiconductor on a substrate, The 2nd process which grows the barrier layer which consists of a group III-V semiconductor on said 1st cladding layer, The 3rd process which grows the 2nd cladding layer which consists of a group III-V semiconductor on said barrier layer, It is the manufacture approach of a preparation ***** light emitting device. At least of said 1st process and said 3rd process either The manufacture approach of the semi-conductor light emitting device characterized by including the grid distortion layer formation process which forms the grid distortion layer which has a crystal defect in said cladding layer in the middle of growth of said cladding layer.

[Claim 8] It is the approach according to claim 7 characterized by carrying out by performing said growth in said 1st [the] - the 3rd process by the organic metal chemical-vapor-deposition method, and said grid distortion layer formation process's intercepting the material gas of the III group element which constitutes said cladding layer, and supplying only the material gas of V group element.

[Claim 9] It is the approach according to claim 7 characterized by performing said growth in said 1st [the] - the 3rd process by the organic metal chemical-vapor-deposition method, and performing said grid distortion layer formation process by changing the flow rate of the material gas of an III group element and the material gas of V group element which constitute said cladding layer.

[Claim 10] Said grid distortion layer formation process is the approach of any one publication of claim 7-9 characterized by having the process which prepares predetermined spacing and forms said ten or less-layer one or more layer grid distortion layer of each other.

[Claim 11] Said group III-V semiconductor is the approach of any one publication of claim 7-10 characterized by being one chosen from among the groups which consist of an InGaAlP system, an InGaAlN system, an InGaAsP system, and an AlGaAs system.

[Translation done.]